



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 10 AVR. 1996

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef de Division

Yves CAMPENON

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIÈGE

26 bis, rue de Saint Petersburg
75800 PARIS Cédex 08
Téléphone : (1) 42 94 52 52
Télécopie : (1) 42 93 59 30

REQUETE

EN DÉLIVRANCE D'UN
TITRE DE PROPRIÉTÉ
INDUSTRIELLE *

1

2 OPTIONS OBLIGATOIRES au moment du dépôt (sauf pour le certificat d'utilité)

LE DEMANDEUR REQUIERT
L'ÉTABLISSEMENT DIFFÉRE
DU RAPPORT DE RECHERCHE *

OUI

NON

SI L'OPTION CHOISIE EST NON ET
SI LE DEMANDEUR EST UNE
PERSONNE PHYSIQUE IL
REQUIERT LE PAIEMENT
ÉCHELONNÉ DE LA REDEVANCE
DE RAPPORT DE RECHERCHE

OUI

NON

NATURE

NUMÉRO

DATE DE LA DEMANDE INITIALE

a	<input checked="" type="checkbox"/>	BREVET D'INVENTION
b	<input type="checkbox"/>	CERTIFICAT D'UTILITÉ
c	<input type="checkbox"/>	DEMANDE DIVISIONNAIRE
d	<input type="checkbox"/>	TRANSFORMATION D'UNE DEMANDE DE BREVET EUROPEEN

Pour c et d, précisez : Nature, N° et date de la
demande initiale

DATE DE REMISE DES PIÈCES

24 MAI 1995

N° D'ENREGISTREMENT NATIONAL

95 06405 -

DATE DE DÉPÔT

24 MAI 1995

CODE POSTAL DU LIEU DE DÉPÔT

INPI GRENOBLE

4 NUMÉRO DU POUVOIR PERMANENT

04.03.1988

3 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE A QUI TOUTE LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE

MICHEL DE BEAUMONT
CABINET CONSEIL
1 bis, rue Champollion
38000 GRENOBLE

5 RÉFÉRENCE DU CORRESPONDANT

B2765

6 TÉLÉPHONE DU CORRESPONDANT

76.51.84.51

7 TITRE DE L'INVENTION

DISPOSITIF D'ÉCRÉTAGE

8 DEMANDEUR(S) : Nom et Prénoms (souligner le nom patronymique) ou dénomination et forme juridique

N° SIREN.

SGS-THOMSON MICROELECTRONICS S.A.
(Société Anonyme)

9 ADRESSE(S) COMPLÈTE(S)

7, avenue Gallieni
94250 GENTILLY

PAYS

FRANCE

10 NATIONALITÉ(S)

FRANÇAISE

☒ DE DÉPÔT

REDEVANCES VERSÉES

☒ DE RAPPORT DE RECHERCHE

DE REVENDICATION DE PRIORITÉ

DE REVENDICATION (à partir de la 116)

11 INVENTEUR(S)

LE DEMANDEUR EST L'UNIQUE
INVENTEUR *

OUI

Si la réponse est non voir notice explicative

☒ NON

12

SI LE DEMANDEUR EST UNE PERSONNE
PHYSIQUE NON IMPOSABLE, IL
REQUIERT* OU A REQUIS LA RÉDUCTION
DES REDEVANCES*

OUI

NON

13 DÉCLARATION DE PRIORITÉ

OU REQUÊTE DU BÉNÉFICE DE
LA DATE DE DÉPÔT D'UNE
DEMANDE ANTÉRIEURE

PAYS D'ORIGINE

DATE DE DÉPÔT

NUMÉRO

14

DIVISIONS

ANTÉRIEURES A LA
PRÉSENTE DEMANDE

N°

N°

N°

N°

15 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE
NOM ET QUALITÉ DU SIGNATAIRE-N° D'INSCRIPTION
Michel de Beaumont
MANDATAIRE 92-1016

SIGNATURE DU DÉPOSÉ A LA RÉCEPTION

INPI GRENOBLE

SIGNATURE APRES ENREGISTREMENT DE LA DEMANDE A L'INPI

Division Administrative des Brevets

N° d'enregistrement national

DÉSIGNATION DE L'INVENTEUR

(si le demandeur n'est pas l'inventeur ou l'unique inventeur)

9506405

Titre de l'invention :

DISPOSITIF D'ÉCRÊTAGE

Le (s) soussigné (s) MICHEL DE BEAUMONT
CABINET CONSEIL
1 bis, rue Champollion
38000 GRENOBLE

désigne (nt) en tant qu'inventeur (s) (indiquer nom, prénoms, adresse et souligner le nom patronymique) :

PONTAROLLO Serge
Bâtiment D10, Résidence Saint André
38800 PONT DE CLAIX

24 MAI 1995 INPI GRENOBLE

NOTA : A titre exceptionnel, le nom de l'inventeur peut être suivi de celui de la société à laquelle il appartient (société d'appartenance) lorsque celle-ci est différente de la société déposante ou titulaire.

Date et signature (s) du (des) demandeur (s) ou du mandataire

LE 23 MAI 1995


Michel de Beaumont
MANDATAIRE 92-1016

Division Administrative des Brevets

DÉSIGNATION DE L'INVENTEUR

(si le demandeur n'est pas l'inventeur ou l'unique inventeur)

N° d'enregistrement national

95 0 6405

Titre de l'invention :

DISPOSITIF D'ÉCRÊTAGE

Le (s) soussigné (s) MICHEL DE BEAUMONT
CABINET CONSEIL
1 bis, rue Champollion
38000 GRENOBLE

désigne (nt) en tant qu'inventeur (s) (indiquer nom, prénoms, adresse et souligner le nom patronymique) :

PONTAROLLO Serge
Bâtiment D10, Résidence Saint André
38800 PONT DE CLAIX

24 MAI 1995 INPI GRENOBLE

NOTA : A titre exceptionnel, le nom de l'inventeur peut être suivi de celui de la société à laquelle il appartient (société d'appartenance) lorsque celle-ci est différente de la société déposante ou titulaire.

Date et signature (s) du (des) demandeur (s) ou du mandataire

LE 23 MAI 1995


Michel de Beaumont
MANDATAIRE 92-1016

PAGE(S) DE LA DESCRIPTION OU DES REVENDICATIONS OU PLANCHE(S) DE DESSIN			R.M.*	DATE DE LA CORRESPONDANCE	TAMPON DATEUR DU CORRECTEUR
Modifiée(s)	Supprimée(s)	Ajoutée(s)			
10	-	-	R87	9 Octobre 1995	16 OCT. 1995 B E P

Un changement apporté à la rédaction des revendications d'origine, sauf si celui-ci découle des dispositions de l'article 28 du décret du 19 septembre 1979, est signalé par la mention "R.M." (revendications modifiées).

DISPOSITIF D'ÉCRÊTAGE

La présente invention concerne un dispositif d'écrêtage (clamp) destiné à protéger un circuit intégré contre des surtensions pouvant survenir entre deux bornes de ce circuit intégré.

5 Des surtensions appliquées entre deux bornes d'un circuit intégré peuvent occasionner la destruction de celui-ci. Ces surtensions proviennent le plus souvent de décharges électrostatiques qui peuvent être appliquées intempestivement aux bornes du circuit intégré dans des circonstances diverses. Ces
10 circonstances peuvent être tout simplement une manipulation du circuit par un opérateur dont les doigts sont portés par des phénomènes de frottement à des potentiels électrostatiques élevés.

La figure 1 représente un dispositif d'écrêtage
15 classique. Ce dispositif comprend un transistor shunt bipolaire NPN Q1 relié par son collecteur à la borne V+ et son émetteur à

la borne V-. Une ou plusieurs diodes zener 14 servent à définir la tension limite entre les bornes V+ et V-, à partir de laquelle le transistor Q1 est mis en conduction. La tension d'anode des diodes zener 14 est appliquée sur la base du transistor Q1 par l'intermédiaire d'un transistor bipolaire NPN suiveur Q2. Les bases des transistors Q1 et Q2 sont reliées à la borne V- par des résistances respectives 18 et 19.

Avec cette configuration, le transistor Q1 est rendu passant lorsque la tension entre les bornes V+ et V- dépasse la valeur $V_z + 2V_{be}$, où V_z est la somme des tensions de zener des diodes 14 et $2V_{be}$ la somme des tensions base-émetteur des transistors Q1 et Q2.

Le transistor Q1 est choisi de manière qu'il présente, à l'état passant, une résistance particulièrement faible. Il a une taille de, par exemple, 300 transistors élémentaires. Le transistor suiveur Q2 sert à fournir un courant de base suffisant au transistor Q1 et comprend pour cela, par exemple, 100 transistors élémentaires.

Un inconvénient de ce dispositif d'écrêtage est qu'il est difficile d'obtenir une tension de zener V_z bien connue. Cette tension de zener doit être supérieure à la tension d'alimentation nominale du circuit mais doit être inférieure à la tension maximale admissible avant rupture du circuit.

Cette plage est relativement restreinte et il arrive souvent que, dès la fabrication, la tension zener obtenue soit trop basse de manière que le dispositif d'écrêtage entre en action dès que l'on alimente normalement le circuit. Il arrive souvent aussi au cours du fonctionnement du circuit, par simple dérive thermique ou vieillissement, que la tension zener décroisse et active le dispositif d'écrêtage alors que le circuit est alimenté normalement.

Un autre inconvénient de ce dispositif d'écrêtage est que le transistor Q1 peut être détruit par une surtension prolongée mais insuffisante pour détériorer le circuit à protéger.

Il en résulte que le transistor Q1 est en permanence court-circuité, ce qui rend inutilisable le circuit alors qu'il est en état de marche.

Par ailleurs, tous les dispositifs d'écrêtage connus
5 sont réalisés à l'aide de transistors bipolaires dans des technologies rapides. Une décharge électrostatique présente un front de tension pratiquement immédiat suivi d'une décroissance progressive. C'est essentiellement la valeur de tension initiale qu'il faut atténuer. Pour cela, il est nécessaire que le dispositif d'écrêtage réagisse pratiquement instantanément. Jusqu'à
10 maintenant, on n'est pas parvenu à réaliser un dispositif d'écrêtage efficace dans des technologies CMOS lentes (par exemple HClPA).

Un objet de la présente invention est de prévoir un
15 dispositif d'écrêtage efficace en technologie CMOS lente, dans lequel on évite le problème d'assurer une tension de déclenchement précise et stable.

Pour atteindre ces objets, la présente invention prévoit un dispositif de protection d'un circuit contre des surtensions, comprenant un transistor MOS de premier type relié à des
20 première et deuxième bornes d'alimentation respectivement par sa source et son drain ; un transistor MOS de deuxième type relié entre la deuxième borne d'alimentation et la grille du transistor de premier type, respectivement par sa source et son
25 drain ; et une capacité dont une première borne est reliée à la première borne d'alimentation et dont la deuxième borne est reliée à la grille du transistor de deuxième type.

Selon un mode de réalisation de la présente invention, le dispositif comprend une diode reliée dans le sens non-passant
30 entre la grille et la source du transistor de deuxième type.

Selon un mode de réalisation de la présente invention, le transistor de premier type est un transistor à canal P, la première borne d'alimentation étant une borne d'alimentation positive.

Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif à l'aide des figures jointes
5 parmi lesquelles :

la figure 1, précédemment décrite, représente un dispositif d'écrêtage classique ;

la figure 2 représente un mode de réalisation de dispositif d'écrêtage évitant le problème d'assurer une tension de
10 déclenchement précise et stable ; et

la figure 3 représente un mode de réalisation de dispositif d'écrêtage selon la présente invention.

La figure 2 représente un dispositif d'écrêtage comprenant, comme celui de la figure 1, un transistor Q1 de
15 court-circuit des bornes d'alimentation V+ et V-, commandé par un transistor suiveur Q2.

Selon un aspect de l'invention, une capacité C est reliée entre la borne V+ et la base du transistor suiveur Q2 par l'intermédiaire, éventuellement, d'un transistor NPN suiveur
20 Q3. La capacité C et la base du transistor Q3 sont reliées à la borne V- par une résistance 20. La base du transistor Q1 est reliée à la borne V- par une résistance 18, comme dans la figure 1, et la base du transistor Q2 est reliée à la borne V- par une résistance 21.

25 Avec cette configuration, le dispositif d'écrêtage est déclenché, c'est-à-dire que le transistor Q1 est rendu passant, lorsque la tension aux bornes de la résistance 20 dépasse $3V_{be}$ (somme des tensions base-émetteur des transistors Q1 à Q3).

30 La tension aux bornes de la résistance 20 correspond sensiblement à la dérivée de la tension entre les bornes V+ et V-. Ainsi, plus la tension entre les bornes V+ et V- croît rapidement, plus la tension aux bornes de la résistance 20 est élevée.

Lors d'une décharge électrostatique, la capacité C n'a pas le temps de se charger par la résistance 20, c'est-à-dire que la tension de base du transistor Q3 évolue pratiquement comme la tension sur la borne V+. Dans ce cas, le transistor Q1 est rendu passant pratiquement dès que la tension entre les bornes V+ et V- dépasse $3V_{be}$, ce qui a pour conséquence d'éliminer la surtension.

Par contre, si la tension entre les bornes V+ et V- croît relativement lentement, par exemple à la mise sous tension normale du circuit à protéger, la tension aux bornes de la résistance 20 reste en dessous de $3V_{be}$. Le dispositif d'écrêtage n'est pas déclenché.

Lorsqu'une surtension permanente est appliquée, le dispositif d'écrêtage n'est pas déclenché non plus, du moins après que la tension entre les bornes V+ et V- a atteint une valeur stable. Ceci permet de ne pas détruire le transistor Q1 lors de surtensions permanentes ne détériorant pas le circuit à protéger.

La pente de croissance de la tension entre les bornes V+ et V- qui déclenche le dispositif d'écrêtage est déterminée par les valeurs de la capacité C, de la résistance 20, de la tension ($3V_{be}$ dans la figure 3) qui provoque la mise en conduction du transistor Q1, et du gain de l'ensemble des transistors Q1 à Q3. Cette pente est choisie, par exemple, supérieure à celle de la mise sous tension normale du circuit à protéger.

Pour réaliser un dispositif d'écrêtage en technologie CMOS lente, telle que la technologie HC1PA, on pourrait envisager de remplacer les transistors bipolaires de la structure de la figure 2 par des transistors MOS. Il s'avère que le dispositif ainsi obtenu n'est pas efficace, c'est-à-dire que le circuit qu'il est sensé protéger est détruit dans la plupart des cas, sous des conditions de test normalisées (capacité de 100 picofarads chargée de 2 à 4 kilovolts que l'on décharge dans le circuit à travers une résistance de 1500 ohms). Cette ineffica-

cit   est due    un manque de rapidit   du dispositif. En effet, l'efficacit   du transistor MOS shunt qui remplace le transistor Q1 d  pend directement de sa tension grille-source. Or cette tension grille-source est inf  rieure au tiers de la tension aux bornes de la r  sistance 20, qui suit l'  volution d'une surtension. La surtension a le temps de d  truire le circuit    prot  ger avant que cette tension grille-source n'atteigne une valeur suffisante pour que le transistor shunt absorbe la surtension.

Il s'av  re, dans les technologies CMOS, que l'on peut r  aliser des transistors bipolaires NPN de structure verticale, la seule contrainte   tant que les collecteurs de ces transistors NPN correspondent au substrat, c'est-  -dire    la borne d'alimentation positive V_+ . On peut donc r  aliser le circuit de la figure 2,    transistors bipolaires, dans une technologie CMOS pure. N  anmoins, des essais ont d  montr   que le dispositif d'  cr  tage ainsi r  alis   est toujours trop lent pour   tre efficace    cause de la lenteur des transistors bipolaires verticaux.

La figure 3 repr  sente un dispositif d'  cr  tage selon la pr  sente invention qui est efficace m  me s'il est r  alis   dans une technologie CMOS lente. Ce dispositif comprend un transistor MOS    canal P MP reli   entre les bornes d'alimentation V_+ et V_- respectivement par sa source et son drain. Un transistor MOS    canal N MN est reli   entre la grille du transistor MP et la borne V_- , respectivement par son drain et sa source. La grille du transistor MN est reli  e    la borne V_+ par une capacit   C. Des r  sistances 20 et 22 sont reli  es entre grille et source des transistors MN et MP, respectivement, et servent    d  charger les capacit  s grille-source de ces transistors, lorsque les grilles ne sont pas aliment  es.

Lors d'une surtension, la capacit   C n'a pas le temps de se charger par la r  sistance 20, c'est-  -dire que la tension de grille du transistor MN   volue comme la tension sur la borne V_+ . D  s que cette tension-grille atteint la tension seuil du

transistor MN, ce dernier se met à conduire et rapproche la tension de grille du transistor MP de la tension V_- . Ainsi, le transistor MP se met également à conduire et court-circuite les bornes V_+ et V_- pour atténuer la surtension.

5 Une raison pour laquelle le circuit de la figure 3 est particulièrement rapide est que la tension grille-source du transistor MP atteint vite une valeur importante (égale à la tension d'alimentation du circuit) qui le rend suffisamment conducteur pour atténuer la surtension. En effet, dès que la
10 tension grille du transistor MN dépasse la tension seuil d'une certaine valeur, nettement inférieure à la valeur de la surtension, le transistor MN entre en régime linéaire, c'est-à-dire qu'il se comporte comme une résistance de faible valeur, et ramène la tension de grille du transistor MP pratiquement à la
15 tension V_- . Le transistor MN entre rapidement en régime linéaire car la capacité grille-source de ce transistor constitue, avec la capacité C, un pont diviseur capacitif qui entraîne que la tension de grille du transistor MN varie proportionnellement à la surtension, le coefficient de proportionnalité étant d'autant
20 plus élevé que la capacité C est élevée.

Pour obtenir un bon compromis entre la taille de la capacité C et la rapidité de commande du transistor MN, ce transistor MN est de préférence de taille relativement faible. Il en résulte que ce transistor MN n'est pas capable d'absorber la
25 surtension qui doit être absorbée par le transistor MP, de taille nettement plus grande que celle du transistor MN.

A titre d'exemple, dans un dispositif selon l'invention capable d'absorber des surtensions de 4 kV, le transistor MN a un rapport W/L de 1500/5, le transistor MP a un rapport W/L
30 de 10 000/5, et la capacité C a une valeur de 8 picofarads. Les résistances 20 et 22 ont, par exemple, une valeur de 6 kilo-Ohms. Si l'on souhaite obtenir une tenue en tension de 2 kV, le rapport W/L du transistor MP pourra être réduit à 5000/5.

Un dispositif selon l'invention, comme celui de la figure 2, est activé dès que la tension entre les bornes V+ et V- évolue rapidement. Comme on l'a précédemment indiqué, dans le dispositif de la figure 2, on choisit les composants pour que le
 5 dispositif ne soit pas déclenché lors d'une mise sous tension normale. En effet, la source d'alimentation du circuit présente généralement une impédance particulièrement faible qui pourrait provoquer la destruction du dispositif d'écrêtage si celui-ci venait à être déclenché.

10 Malgré un choix judicieux des composants, il est toujours possible de rencontrer le cas où une mise sous tension normale déclenche le dispositif et provoque sa destruction s'il est réalisé avec des transistors bipolaires. En effet, un transistor bipolaire saturé présente une très faible résistance quel
 15 que soit le courant qui le traverse, cette résistance devenant d'autant plus faible que le transistor s'échauffe, ce qui tend rapidement à détruire le transistor bipolaire.

Par contre, le fait qu'un dispositif d'écrêtage selon l'invention, réalisé à partir de transistors MOS, se déclenche
 20 lors d'une mise sous tension normale, n'est pas gênant. En effet, le transistor MOS MP tend à se comporter comme une source de courant de valeur déterminée par sa tension grille-source. Ainsi, le courant qui le traverse ne dépassera jamais cette valeur et, tant qu'il est inférieur, le transistor MP se
 25 comporte comme une résistance de faible valeur. En outre, un transistor MOS présente un coefficient thermique positif qui tend à diminuer le courant qui traverse le transistor lorsque sa température augmente. Ces caractéristiques combinées entraînent que le dispositif d'écrêtage selon l'invention est particulièrement robuste.
 30

Bien entendu, les types des transistors MN et MP peuvent être inversés, en inversant les polarités des bornes d'alimentation V+ et V-. Ceci a pour avantage de diminuer la surface occupée par le circuit, puisque le transistor qui doit

supporter la surtension est alors un transistor à canal N qui est sensiblement trois fois plus petit qu'un transistor à canal P de mêmes caractéristiques. Toutefois, un transistor MOS à canal N a l'inconvénient qu'il présente un transistor bipolaire parasite entre son drain et sa source. Ce transistor bipolaire parasite, traversé par le courant du transistor MOS, diminue la robustesse du circuit à cause de son coefficient thermique négatif.

Comme cela est représenté, une diode D est connectée, dans le sens non-passant, entre la grille et la source du transistor MN. Cette diode D évite que la tension de grille du transistor MN devienne trop négative par rapport à la tension V_- . En effet, la tension de grille du transistor MN est égale à la tension sur la borne V_+ moins la tension aux bornes de la capacité C. Ainsi, si la tension V_+ atteint rapidement sa valeur initiale, après une surtension, la capacité C n'a pas le temps de se décharger dans la résistance 20, ce qui provoque une surtension négative entre la grille et la source du transistor MN pouvant entraîner sa destruction.

REVENDICATIONS

1. Dispositif de protection d'un circuit contre des surtensions, caractérisé en ce qu'il comprend :

- un transistor MOS de premier type (MP) relié à des première et deuxième bornes d'alimentation (V+, (V-) respectivement par sa source et son drain ;

- un transistor MOS de deuxième type (MN) relié entre la deuxième borne d'alimentation (V+) et la grille du transistor de premier type, respectivement par sa source et son drain ; et

- une capacité (C) dont une première borne est reliée à la première borne d'alimentation (V+) et dont la deuxième borne est reliée à la grille du transistor de deuxième type.

2. Dispositif de protection selon la revendication 1, caractérisé en ce que deux sources de courant (20, 22) relient la grille et la source des transistors de premier et deuxième types respectivement.

3. Dispositif de protection selon la revendication 1, caractérisé en ce qu'il comprend une diode (D) reliée dans le sens non-passant entre la grille et la source du transistor de deuxième type.

4. Dispositif de protection selon l'une quelconque des revendications précédentes, caractérisé en ce que le transistor de premier type est un transistor à canal P, la première borne d'alimentation (V+) étant une borne d'alimentation positive.

REVENDICATIONS

1. Dispositif de protection d'un circuit contre des surtensions, caractérisé en ce qu'il comprend :

- un transistor MOS de premier type (MP) relié à des première et deuxième bornes d'alimentation (V+, (V-) respectivement par sa source et son drain ;

- un transistor MOS de deuxième type (MN) relié entre la deuxième borne d'alimentation (V+) et la grille du transistor de premier type, respectivement par sa source et son drain ; et

- une capacité (C) dont une première borne est reliée à la première borne d'alimentation (V+) et dont la deuxième borne est reliée à la grille du transistor de deuxième type.

2. Dispositif de protection selon la revendication 1, caractérisé en ce que deux résistances (20, 22) relient la grille et la source des transistors de premier et deuxième types respectivement.

3. Dispositif de protection selon la revendication 1, caractérisé en ce qu'il comprend une diode (D) reliée dans le sens non-passant entre la grille et la source du transistor de deuxième type.

4. Dispositif de protection selon l'une quelconque des revendications précédentes, caractérisé en ce que le transistor de premier type est un transistor à canal P, la première borne d'alimentation (V+) étant une borne d'alimentation positive.

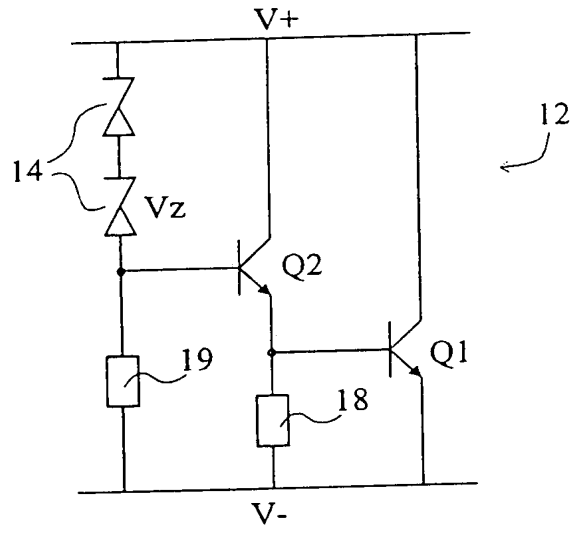


Fig 1

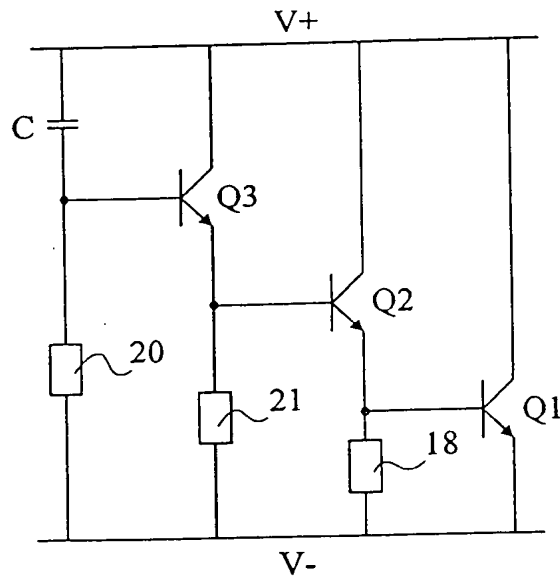


Fig 2

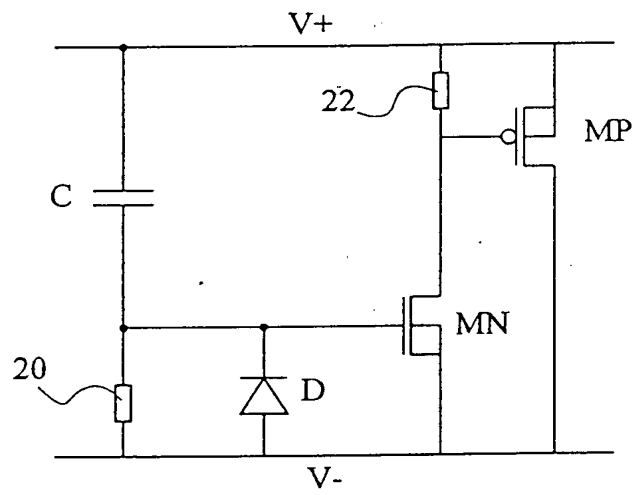


Fig 3